

# Compatibilité Electromagnétique des Circuits Intégrés Caractérisation des interconnexions













Département de Génie Electrique et Informatique

© JY. FOURNIOLS fourniols@dge.insa-tlse.fr

## Table des Matières

1.1Compatibilité ElectroMagnétique (CEM) :
1.2       Perturbation ElectroMagnétique, différents type de couplages :
2La CEM dans la vie d'un produit industriel:43La CEM en micro-électronique:53.1Apparition d'éléments parasites dans les lignes d'interconnexion :63.2Différents types d'interconnexions pour un système électronique :73.3Différents types de couplages pour un système électronique :74Diaphonie capacitive (et / ou) inductive.84.1Illustration du phénomène sur un cas simple : deux inverseurs84.1.1Etude de la modélisation d'un seul conducteur sur un plan de masse :104.1.2Apparition d'éléments parasites type [C] par la méthode des éléments finis :124.1.4Calcul des éléments parasites type [L] :154.1.5Calcul des éléments parasites type [R] :164.1.6Effet de peau :184.2Approximation quasi-TEM et modèle localisé184.3Différents modèles de couplage :205Valeurs d'éléments parasites225.1Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :225.2Enoncé de règles pour le routage des interconnexions.236Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.246.1Modèle IBIS246.2Les versions IBIS successives:246.3Avantages du modèle IBIS.246.4Modèle IBIS du buffer d'entrée.256.5Modèle IBIS du buffer de sortie256.6Génération d'un modèle IBIS26 </td
3       La CEM en micro-électronique:       5         3.1       Apparition d'éléments parasites dans les lignes d'interconnexion :       6         3.2       Différents types d'interconnexions pour un système électronique :       7         3.3       Différents types de couplages pour un système électronique :       7         4       Diaphonie capacitive (et / ou) inductive       8         4.1       Illustration du phénomène sur un cas simple : deux inverseurs       8         4.1.1       Etude de la modélisation d'un seul conducteur sur un plan de masse :       10         4.1.2       Apparition d'éléments parasites :       11         4.1.3       Calcul des éléments parasites type [C] par la méthode des éléments finis :       12         4.1.4       Calcul des éléments parasites type [L] :       15         4.1.5       Calcul des éléments parasites type [R] :       16         4.1.6       Effet de peau :       18         4.2       Approximation quasi-TEM et modèle localisé       18         4.3       Différents modèles de couplage :       20         5       Valeurs d'éléments parasites       22         5.1       Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :       22         5.2       Enoncé de règles pour le routage des interconnexions.       23
3.1       Apparition d'éléments parasites dans les lignes d'interconnexion :
3.2Différents types d'interconnexions pour un système électronique :73.3Différents types de couplages pour un système électronique :74Diaphonie capacitive (et / ou) inductive.84.1Illustration du phénomène sur un cas simple : deux inverseurs84.1.1Etude de la modélisation d'un seul conducteur sur un plan de masse :104.1.2Apparition d'éléments parasites :114.1.3Calcul des éléments parasites type [C] par la méthode des éléments finis :124.1.4Calcul des éléments parasites type [R] :154.1.5Calcul des éléments parasites type [R] :164.1.6Effet de peau :184.2Approximation quasi-TEM et modèle localisé184.3Différents modèles de couplage :205Valeurs d'éléments parasites225.1Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :225.2Enoncé de règles pour le routage des interconnexions236Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation246.1Modèle IBIS246.2Les versions IBIS successives:246.3Avantages du modèle IBIS256.5Modèle IBIS du buffer d'entrée256.6Génération d'un modèle IBIS266.7Passerelle de SPICE à IBIS266.7Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground hounce)2727
3.3 Différents types de couplages pour un système électronique :74 Diaphonie capacitive (et / ou) inductive.84.1 Illustration du phénomène sur un cas simple : deux inverseurs84.1.1 Etude de la modélisation d'un seul conducteur sur un plan de masse :104.1.2 Apparition d'éléments parasites :114.1.3 Calcul des éléments parasites type [C] par la méthode des éléments finis :124.1.4 Calcul des éléments parasites type [L] :154.1.5 Calcul des éléments parasites type [R] :164.1.6 Effet de peau :184.2 Approximation quasi-TEM et modèle localisé184.3 Différents modèles de couplage :205 Valeurs d'éléments parasites225.1 Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :225.2 Enoncé de règles pour le routage des interconnexions236 Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation246.1 Modèle IBIS246.2 Les versions IBIS successives:246.3 Avantages du modèle IBIS246.4 Modèle IBIS du buffer d'entrée256.5 Modèle IBIS du buffer d'entrée256.6 Génération d'un modèle IBIS266.7 Passerelle de SPICE à IBIS267 Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground hounce)27
4       Diaphonie capacitive (et / ou) inductive       8         4.1       Illustration du phénomène sur un cas simple : deux inverseurs       8         4.1.1       Etude de la modélisation d'un seul conducteur sur un plan de masse :       10         4.1.2       Apparition d'éléments parasites :       11         4.1.3       Calcul des éléments parasites type [C] par la méthode des éléments finis :       12         4.1.4       Calcul des éléments parasites type [L] :       15         4.1.5       Calcul des éléments parasites type [R] :       16         4.1.6       Effet de peau :       18         4.2       Approximation quasi-TEM et modèle localisé.       18         4.3       Différents modèles de couplage :       20         5       Valeurs d'éléments parasites       22         5.1       Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :       22         5.2       Enoncé de règles pour le routage des interconnexions.       23         6       Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.       24         6.1       Modèle IBIS       24         6.2       Les versions IBIS successives:       24         6.3       Avantages du modèle IBIS       25         6.5       Modèle IBIS <td< td=""></td<>
4.1       Illustration du phénomène sur un cas simple : deux inverseurs
4.1.1       Etude de la modélisation d'un seul conducteur sur un plan de masse :
4.1.2       Apparition d'éléments parasites :       11         4.1.3       Calcul des éléments parasites type [C] par la méthode des éléments finis :       12         4.1.4       Calcul des éléments parasites type [L] :       15         4.1.5       Calcul des éléments parasites type [R] :       16         4.1.6       Effet de peau :       18         4.2       Approximation quasi-TEM et modèle localisé       18         4.3       Différents modèles de couplage :       20         5       Valeurs d'éléments parasites       22         5.1       Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :       22         5.2       Enoncé de règles pour le routage des interconnexions       23         6       Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation       24         6.1       Modèle IBIS       24         6.2       Les versions IBIS successives:       24         6.3       Avantages du modèle IBIS       25         6.5       Modèle IBIS du buffer d'entrée       25         6.6       Génération d'un modèle IBIS       26         6.7       Passerelle de SPICE à IBIS       26         7       Bôîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bouwere)
4.1.3       Calcul des éléments parasites type [C] par la méthode des éléments finis :
4.1.4       Calcul des éléments parasites type [L] :
4.1.5       Calcul des éléments parasites type [R] :
4.1.6       Effet de peau :
4.2       Approximation quasi-TEM et modèle localisé
4.3 Différents modèles de couplage :       20         5 Valeurs d'éléments parasites       22         5.1 Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :       22         5.2 Enoncé de règles pour le routage des interconnexions.       23         6 Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.       24         6.1 Modèle IBIS.       24         6.2 Les versions IBIS successives:       24         6.3 Avantages du modèle IBIS       24         6.4 Modèle IBIS du buffer d'entrée.       25         6.5 Modèle IBIS du buffer de sortie       25         6.6 Génération d'un modèle IBIS       26         6.7 Passerelle de SPICE à IBIS       26         7 Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce)       27
5       Valeurs d'éléments parasites       22         5.1       Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :       22         5.2       Enoncé de règles pour le routage des interconnexions.       23         6       Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.       24         6.1       Modèle IBIS       24         6.2       Les versions IBIS successives:       24         6.3       Avantages du modèle IBIS       24         6.4       Modèle IBIS du buffer d'entrée       25         6.5       Modèle IBIS du buffer de sortie       25         6.6       Génération d'un modèle IBIS       26         7       Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce)       27
5.1       Capacités Circuit Intégré Niveau Métal1, technologie 0,7μm :
5.2       Enoncé de règles pour le routage des interconnexions.       23         6       Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.       24         6.1       Modèle IBIS       24         6.2       Les versions IBIS successives:       24         6.3       Avantages du modèle IBIS       24         6.4       Modèle IBIS du buffer d'entrée.       25         6.5       Modèle IBIS du buffer de sortie       25         6.6       Génération d'un modèle IBIS       26         7       Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce)       27
6       Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation24         6.1       Modèle IBIS
6.1Modèle IBIS246.2Les versions IBIS successives:246.3Avantages du modèle IBIS246.4Modèle IBIS du buffer d'entrée256.5Modèle IBIS du buffer de sortie256.6Génération d'un modèle IBIS266.7Passerelle de SPICE à IBIS267Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground hounce)27
6.2Les versions IBIS successives:246.3Avantages du modèle IBIS246.4Modèle IBIS du buffer d'entrée256.5Modèle IBIS du buffer de sortie256.6Génération d'un modèle IBIS266.7Passerelle de SPICE à IBIS267Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground hounce)27
6.3 Avantages du modele IBIS       24         6.4 Modèle IBIS du buffer d'entrée       25         6.5 Modèle IBIS du buffer de sortie       25         6.6 Génération d'un modèle IBIS       26         6.7 Passerelle de SPICE à IBIS       26         7 Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce)       27
6.4 Modele IBIS du buffer d'entree
<ul> <li>6.5 Modele IBIS du buffer de sortie</li></ul>
<ul> <li>6.6 Generation d'un modele IBIS</li></ul>
<ul> <li>6.7 Passerelle de SPICE a IBIS</li></ul>
/ Boltiers d'encapsulation : Caracterisation de la Fluctuation d'alimentation (ground bounce)
bolincal
7.1 Equilles de la étient modélieurien du bondine :
7.1 Families de bolliers, modellsation du bonding :
7.2 Influence de la prise en compte du bonier d'encapsulation pour une simulation du airquit intégré
7.2.1 Modélisation de niveau 0
7.2.1 Modellisation de niveau 0
7.2.2 Modellsauoli de lliveau 1
7.5 Diminution de l'influence du bonner d'encapsulation
d'alimentation
7.5 Solutions pour diminuer le bruit sur l'alimentation 34
8 Mesures
8 1 Synthèse des méthodes de mesure
9 Normes marquage CE /1
10 BIBLIOGRAPHIE 42
11 GLOSSAIRE 43

"Outre-Atlantique, pas moins d'une quarantaine de pilotes ont signalé dernièrement à la FAA (l'administration fédérale de l'aviation civile) des cas de perturbations de leurs instruments de vol qu'ils attribuent aux gadgets électroniques utilisés par certains passagers. Phénomène le plus souvent observé: l'avion dévie de sa trajectoire nominale, au moment où l'un ou plusieurs passagers utilisent un appareil électronique." (extrait AIR et COSMOS,  $n=^{\circ} 1420$ , semaine du 5 au 11 avril 1993)

#### La CEM dans le métier de l'ingénieur : une nouvelle norme CEE en électronique

Depuis le <u>1er Janvier 1996</u>, l'Europe impose une certification "électromagnétique" de tous les produits industriels ou grand public comportant des éléments électriques ou électroniques : tous les produits doivent, lors de leur première mise sur le marché, être en conformité avec les objectifs de protection de compatibilité électromagnétique (CEM) fixés par la directive Européenne <u>89/336/CEE</u>.

## **<u>1</u>** Quelques définitions de la CEM :

## 1.1 Compatibilité ElectroMagnétique (CEM) :

« Aptitude d'un dispositif, d'un appareil ou d'un système à conserver sa fonction dans un environnement électromagnétique, tout en produisant un niveau de perturbations compatible avec son environnement »

En conséquence, l'art de la CEM consistera à faire cohabiter harmonieusement divers matériels pour lesquels un effort de "durcissement" aura été réalisé, de manière à limiter leurs perturbations émises, et à améliorer leur insensibilité aux agressions venant de l'extérieur.

## 1.2 Perturbation ElectroMagnétique, différents type de couplages :

« Tout signal indésirable produit par un matériel susceptible de gêner le fonctionnement d'autres équipements, la perturbation étant un signal se propageant par rayonnement ou par conduction »

On dénombre deux types de propagation de ce signal parasite :

- la propagation par rayonnement, (on parlera de couplage en mode rayonné)
- la propagation par conduction (couplage en mode conduit)

Le *couplage en mode rayonné* est défini comme étant un couplage par onde électromagnétique engendré par des courants et des tensions.

Ce mode de couplage est décrit par les *équations de Maxwell* qui sont une généralisation des lois d'Ampère et de Faraday.

Le couplage *en mode conduit* est défini comme étant un couplage se faisant par les conducteurs et leurs composants électriques associés.

Ce mode de couplage est régi par *les lois classiques de l'électricité*, loi des mailles, théorèmes de Norton, Thévenin ... où les phénomènes parasites sont engendrés par des éléments (capacitifs, inductifs, résistifs) qu'il faut impérativement identifier.



Fig 1 : Environnement électromagnétique et différentes sources de bruit.

## 2 La CEM dans la vie d'un produit industriel:



Fig 2 : Attestation de conformité vis-à-vis d'une norme pour un produit donné.

Le système *doit assurer une marge de bruit positive* sur toute la gamme de fréquences précisée par la norme.

Etant donné la complexité d'un système électronique en terme de produit, la prise en compte du paramètre CEM ne peut plus être effectuée au niveau du test final de caractérisation, pour des raisons :

- de mise en œuvre,
- de réutilisation (mise en bibliothèque),
- de place disponible,
- de répercussion sur le coût.

Les outils de CAO (intégrant des simulateurs CEM) doivent permettre de décliner une spécification globale d'un système en spécifications pour chacun des *sous-systèmes*.

La difficulté consiste à répercuter les marges de bruit sur chacun des sous-systèmes afin de satisfaire à la spécification finale.

On peut schématiser succinctement les interactions nécessaires à la conception d'un produit industriel (Figure 3):



Fig 3 : Exemple de conception d'un produit donné, prise en compte des problèmes EMC.

La répartition des contraintes EMC doit être effectuée entre tous les contributeurs afin de réduire le coût final.

#### 3 La CEM en micro-électronique:

L'évolution incessante vers de plus grandes densités d'intégration, avec des signaux plus rapides, des marges de bruit réduites, de nombreux niveaux d'interconnexions (5-7 niveaux métaux) ont laissé entrevoir *de formidables possibilités en matière d'intégration*.



Fig 4 : Représentation au microscope électronique d'une coupe de circuit intégré CMOS.

Dans les technologies CMOS  $0.7\mu m$  et  $0.8\mu m$ , les contacts et les vias entre les niveaux d'interconnexions ne pouvaient pas être superposés, ces technologies ne permettaient le plus souvent que 2 couches de routage (Figure 4).

Avec les progrès réalisés grâce à la planarisation (où l'absence de relief à chaque niveau technologique permet l'empilement des vias), cinq niveaux d'interconnexions (standard en  $0.35\mu$ m) peuvent être reliés à un seul contact. Ce degré de liberté et les contacts empilés permettent pratiquement de doubler la densité sur une puce, à dimensions de transistors égales.

La formidable évolution du procédé technologique assurant la multiplication des niveaux métalliques (étape Back-End dans le procédé de réalisation d'un circuit intégré) a été développée dans le but de réduire les surfaces de silicium, et de véhiculer des signaux de plus en plus rapides.

#### 3.1 Apparition d'éléments parasites dans les lignes d'interconnexion :

L'éloignement du substrat aura pour effet de réduire la capacité vers la masse de la dite interconnexion, d'où une diminution du temps de propagation le long de la ligne, et par conséquent une légère augmentation de la fréquence de transit des signaux, ou plus exactement une diminution des temps de montée.

Avec l'évolution technologique vers les petites dimensions, les surfaces en regard entre interconnexions, deviennent proportionnellement plus grandes (Figure 5). La capacité parasite entre les conducteurs s'en trouve renforcée, la capacité vers la masse est diminuée, tandis que l'inductance augmente.



Fig 5 : Représentation au microscope électronique de lignes d'interconnexion sur silicium.



Fig 6 : Représentation CAO de lignes d'interconnexion sur substrat type prédiffusé.

#### 3.2 Différents types d'interconnexions pour un système électronique :

Un système électronique peut en général se constituer :

- d'un ensemble de circuit(s) intégré(s),
- chaque circuit intégré pouvant être ou non encapsulé dans un package, ou bien collé sur un support (appelé substrat)
- le tout étant assemblé sur un support type circuit imprimé (Figure 7), ou micro carte, ou multi chip module présentant plusieurs plans de dépose des composants nus ou en boîtiers.



Fig 7 : Différents types d'interconnexions pour un système électronique

Remarque :

- les interconnexions depuis la puce vers le circuit imprimé ont des caractéristiques géométriques différentes, réalisés en Aluminium, Or, ou autre matériau, elles peuvent être modélisées par des éléments type R, L, C qui auront des ordres de grandeur différents
- les signaux véhiculés depuis le circuit imprimé vers la puce et à l'intérieur de l'ASIC, ont des caractéristiques électriques différentes (fréquence, tension, courant)

## 3.3 Différents types de couplages pour un système électronique :

Au niveau circuit intégré, la technologie actuelle permet d'associer sur une même puce :

• des cellules logiques,

- des cellules analogiques,
- des cellules assurant la fonction de commande,
- des cellules assurant la fonction de puissance,
- des cellules assurant des liaisons RF.

Au niveau des circuits intégrés, l'étude des perturbations électromagnétiques, concerne essentiellement le couplage en mode conduit.

Cependant, plus difficile à modéliser, le couplage en mode rayonné est aussi un axe de recherche et développement très important dans le monde industriel.

Seule la mesure, dont les techniques sont présentées dans le dernier chapitre, et quelques astuces permettent de réduire ce phénomène.

Dans le cadre de ce cours, nous allons nous intéresser particulièrement à la modélisation de différents types de perturbations en mode conduit :

- la diaphonie capacitive, ou inductive
- la fluctuation d'alimentation (ground-bounce)
- le courant consommé par les alimentations,

Ces trois types de perturbations peuvent altérer le fonctionnement d'un circuit intégré.

#### 4 Diaphonie capacitive (et / ou) inductive

« Couplage parasite de proximité entre interconnexions ».

On parle de diaphonie :

- *capacitive*, si le couplage entre le(s) interconnexion(s) est de type capacitif,
- *inductive (ou magnétique)*, si le couplage est réalisé par des inductances parasites.

#### 4.1 Illustration du phénomène sur un cas simple : deux inverseurs .





On considère un cas très simple, pour lequel on va essayer de modéliser, les éléments parasites.

Soient 2 inverseurs INV1 et INV2, on suppose que le second inverseur est au repos (connecté à VDD à l'entrée) lors de l'application du signal S1 qui est du type front avec un temps de montée tr.

Chacune des cellules inverseuses est connectée respectivement à une cellule dont on ignore volontairement la fonction. La connexion est assurée par une ligne de métal type Métal niveau 2 par exemple.

On assure qu'il n'existe aucune connexion physique entre la ligne 1 et la ligne 2.



Question : Représenter le signal sur la ligne 2, lors de la commutation de INV1.

Si on considère une vue en coupe des conducteurs 1 et 2, on remarque qu'il existe des surfaces en regard entre les conducteurs. La ligne 1, à la commutation va se charger au potentiel 5V, l'oxyde Si02, (permittivité 3,9) est un isolant électrique en terme de conduction. Par contre l'apparition de la charge sur le conducteur 1, va entraîner la naissance d'un champ électrique, vérifiant l'équation de Laplace ( $\Delta V = Cste$ ). Il s'en suit une répartition du potentiel électrique autour du conducteur 1.

D'autre part, le substrat est polarisé (par une couche *épitaxiée* et des contacts par vias) à la masse, par conséquent son potentiel, peut être dans une première approximation, considéré comme nul.



Fig 9 : Représentation en coupe de deux d'interconnexion métalliques sur silicium.

4.1.1 Etude de la modélisation d'un seul conducteur sur un plan de masse :



Fig 10 : Vue en coupe d'une d'interconnexion métallique sur silicium.

Des formules analytiques permettent de calculer la capacité linéique (par unité de longueur) d'un conducteur situé au dessus d'un plan de masse (Figure 10), à partir de certains paramètres représentés ci-dessus, on citera pour exemple, les formulations de Walker, Sakurai, Tamaru, etc.

Une bonne résolution, consiste, soit à prendre en compte des valeurs mesurées par le fondeur, ou bien de faire appel, à des logiciels permettant de résoudre numériquement l'équation de Laplace ( $\Delta V = cste$ ) avec des conditions aux limites.

Une formulation analytique (Deforme) dans ce cas peut etre :			
$C = \varepsilon_0 \varepsilon_r^* (1, 13^* [w_1/h_1] + 1, 443^* [w_1/h_1]^* 0, 11 + 1, 475^* [t_1/h_1]^* 0, 425)$			
Avec :			
С	capacité linéique du conducteur vers la masse		
$\epsilon_0$	8,85 fF/mm		
ε <sub>r</sub>	permittivité relative de l'oxyde (4 en moyenne pour le SiO2)		
$\mathbf{W}_1$	largeur de l'interconnexion		
$\mathbf{t}_1$	épaisseur de l'interconnexion		
$h_1$	distance par rapport au substrat qui est supposé être		
	uniformément polarisé à la masse.		

Une formulation analytique (Delerme) dans ce cas pout être :

## Remarque : Formulation simplifiée de calcul de capacités

A noter qu'une formulation « simpliste » de la capacité plane, traduite en capacité linéique est :

$$\boxed{C = \varepsilon_0 \varepsilon_r \frac{S}{h_1} = \varepsilon_0 \varepsilon_r \frac{w_1}{h_1}}$$

Où : S représente les surfaces en regard,

h<sub>1</sub> la distance entre les deux armatures du condensateur.  $w_1$  la largeur de l'armature du condensateur.



Question : Comparer la formule de la capacité plane, à la formulation analytique de Delorme.

La formulation de la capacité plane a longtemps été applicable n'est plus valable pour l'électronique submicronique (lié à la structure verticale des pistes).

4.1.2 Apparition d'éléments parasites :

Analysons la raison pour laquelle, on a une capacité parasite entre les conducteurs. La Figure ci-dessous, présente les lignes de potentiel électrique entre un conducteur et un plan de masse (les lignes de champ électrique sont perpendiculaires à ces iso-potentiels).



Commentaire :

L'apparition de lignes iso-potentiels implique la répartition de c.....ges électrostatiques au sein de l'oxyde, d'où au contact d'un conducteur, le stockage d'une quantité de charges Q.

Par la relation Q = C V avec V=1V, la charge stockée est directement liée à la capacité intrinsèque du conducteur.

En «jargon » technique, on appelle :

• la pondération latérale des lignes iso-potentiels la Capacité Cfringe (ou Clatérale)



Extension du problème à 2 conducteurs :

Si on considère la configuration ci-dessus, les lignes latérales ne pouvant se refermer sur le plan de masse, il y a donc distribution de charges d'un conducteur à l'autre, d'où l'apparition d'une capacité parasite entre les 2 conducteurs.

Cette analyse bien que macroscopique laisse bien entrevoir la raison pour laquelle la réduction des dimensions des conducteurs, tend vers des interconnexions de section carré où les surfaces latérales sont du même ordre que la surface horizontale, donc Cfringe n'est plus négligeable devant Cs, ce qui se traduit lorsqu'on approche deux conducteurs trop près les uns des autres, par une capacité parasite C12 et une diminution de la capacité vers la masse.

Formulation analytique, 2 conducteurs séparés d'une distance d, sur un plan de masse :



Fig 11 : Deux conducteurs au dessus d'un plan de masse.

$\begin{split} &C_{11} \!\!= \! \epsilon_0  \epsilon_r^* \left\{ \begin{array}{l} 1,\!106^*(w/h) + \left[ \begin{array}{l} 0,\!79^*(w/h)^{\wedge}\!0,\!1 + 0,\!59^*[t/h]^{\wedge}\!0,\!53 \right] \\ &+ \left[ 0,\!52^*(w/h)^{\wedge}\!0,\!01 + 0,\!46^*(t/h)^{\wedge}\!0,\!17 \right) * \left( 1\!\!-\!0,\!87  exp(\text{-}d/h) \right) \right] \right\} \end{split}$			
$C_{12} = \epsilon_0 \epsilon_r^* \{$	(t/d) + [	$[1,2*(t/h)^0,1] * [(d/h)+1,154]^{-2},22 + 0,253*ln(1+7,17w/d) *$	
		[(d/h)+0,54]^-0,64 }	
Avec :	С	capacité linéique du conducteur vers la masse	
	$\epsilon_0$	8,85 fF/mm	
	ε <sub>r</sub>	permittivité relative de l'oxyde (4 en moyenne pour le SiO2)	
	W	largeur de l'interconnexion	
	t	épaisseur de l'interconnexion	
	h	distance par rapport au substrat qui est supposé être	
		uniformément polarisé à la masse.	
	d	distance entre les deux interconnexions.	
<b>(</b>			

Question : Donner le schéma électrique équivalent du système présenté Figure 8.



Question : Calculer analytiquement le bruit induit sur la ligne 2, à partir du schéma électrique équivalent.

4.1.3 Calcul des éléments parasites type [C] par la méthode des éléments finis :

La méthode des éléments finis, permet de calculer la capacité linéique et les capacités parasites entre un ou plusieurs conducteurs et la masse.

De nombreux logiciels existent dans le commerce (Capitool, Fastcap, Microcap,...), leur principe d'utilisation est toujours le même, avec certaines étapes plus ou moins automatisées (Figure 12) :



Fig 12 : Principales étapes conduisant à la résolution numérique des matrices [C] et [L] des interconnexions

Exemple : Conducteur sur un plan de masse (Figure 13)



Fig 13 : Maillage associé au conducteur (à noter les différentes couches d'oxyde)



Fig 14 : Répartition dans l'oxyde du potentiel électrique



Fig 15 : Répartition dans l'oxyde des lignes iso-potentiel électrique.



Fig 16 : Capacité linéique associée au conducteur.

## 4.1.4 Calcul des éléments parasites type [L] :

Nous venons de démontrer l'apparition d'éléments parasites type capacitifs dans les interconnexions.

A partir de cette configuration électrostatique démontrée, les paramètres inductifs pourront être déduits, si on considère des fréquences de fonctionnement pour lesquelles la composante longitudinale des champs électrique E et magnétique H sont négligeables.

#### De ce fait, le mode de propagation de l'onde le long de l'interconnexion est quasitransverse, (approximation T.E.M).

L'obtention des coefficients capacitifs à partir des équations de Maxwell se déduira de la répartition des charges des conducteurs, elle même déduite de la répartition du potentiel électrique, en fonction des conditions aux limites imposées.

Cette méthode très souvent employée par les logiciels de résolution numérique a ses limites, surtout dans le domaine submicronique, pour lequel on préfèrera, utiliser une résolution numérique avec un raisonnement dual, appliqué sur le potentiel vecteur.

Il existe également des formulations analytiques d'inductances linéiques, comme dans le cas de capacités parasites :

Une formulation analytique dans ce cas peut être :



 $L12 = \mu_0 \,\mu_r^* (1/4\pi) * \ln\{ ([d+4w_1]^2 + [1.5w_1+2h_1]^2) / ([d+w_1]^2 + [1.5w_1]^2) \}$ 

Avec :

L12 inductance mutuelle

- $\mu_0 = 1.257 \ 10^{-6} \text{ H/m et } \mu_r = 1$  (perméabilité magnétique de l'air)
- w<sub>1</sub> largeur de l'interconnexion
- t<sub>1</sub> épaisseur de l'interconnexion
- h<sub>1</sub> distance par rapport au substrat qui est supposé être uniformément polarisé à la masse.

## <u>Remarque :</u>

- A noter que l'influence de l'épaisseur de la ligne n'est pas prise en compte, ce qui peut laisser présumer d'un domaine de validité pour une certaine topologie de pistes (épaisseur négligeable devant la largeur de piste, hypothèse non valable en submicronique).
- L'introduction dans la modélisation d'élément type inductif, va traduire des retards dans la propagation le long des lignes, propagation qui s'effectue à la vitesse v, où  $v = c/\sqrt{\epsilon_r}$  ( c = 30 cm/ns,  $\epsilon_r = 3.9$  pour le SiO<sub>2</sub>)

## 4.1.5 Calcul des éléments parasites type [R] :

L'évolution des technologies vers les petites dimensions tend vers des sections de conducteurs de plus en plus petites.

Or la résistivité d'un conducteur se définit selon la relation :

$$R = \rho \frac{l}{S}$$

où  $\rho$  représente la résistivité du matériau, l longueur de l'interconnexion, S surface de la section.

On définit, *la résistance par carré d'une interconnexion*, comme étant une portion du conducteur dont la longueur est égale à la largeur.



Fig 19 : Conducteur découpé en « carrés » élémentaires.

Sur un tronçon élémentaire (Figure 21)on a :

$$R_{\acute{e}l\acute{e}mentaire} = \rho \frac{w}{w^* t} = \frac{\rho}{t}$$

Cette résistance élémentaire est appelée la résistance par carré, et *notée* R .

Donnons quelques valeurs typiques de résistivité :

$$\label{eq:rho_Al} \begin{split} \rho_{Al} &= 0.0277 \ \Omega/\mu m \quad (Aluminium) \\ \rho_{Cu} &= 0.0172 \ \Omega/\mu m \quad (Cuivre) \\ \rho_{Tu} &= 0.0530 \ \Omega/\mu m \quad (Tungstène) \end{split}$$

#### <u>Remarque :</u>

La section du conducteur est en fait constituée par différents types de matériaux (Nitrures, Titane, etc qui ont des propriétés très résistives.) utilisés comme support assurant l'accrochage de la piste dans l'isolant..

Par exemple, en technologie 0,25µm, cette couche d'accrochage située en bas et sur les côtés (procédé de Damascene) atteint 0,15µm.

Il s'en suit que la résistance des interconnexions submicroniques augmente avec les nouvelles technologies. Les données suivantes extraites de DRM (Design Rule Methods) fondeurs justifient cette remarque.



Fig 20 : Evolution de R avec la technologie, données fondeurs.

Un via entre deux niveaux différents d'interconnexions présente une résistance de l'ordre de 1 Ohm (technologie 0,25µm) et 10 Ohms (technologie 0,05µm) (Figure 23).

Si on considère qu'une équipotentielle à une forte probabilité, suite au routage automatique de rencontrer, un via tous les 100µm, la prise en compte des vias n'est plus négligeable.



Fig 21 : Empilement de vias, effet résistif.

## 4.1.6 Effet de peau :

Les résistances que nous venons de modéliser, vont voir leur valeur varier en fonction de la fréquence des signaux véhiculés.

En effet, avec l'augmentation de la fréquence du signal véhiculé, la circulation des charges se retrouve repoussée à la périphérie du conducteur : c'est *l'effet de peau*.

La densité de courant dans le conducteur s'écrit :

$$J(z) = J_0 \exp^{-\frac{z}{\delta}}$$

Avec :

 $J_0$  amplitude réelle du courant à la surface du conducteur, z profondeur

 $\delta$  épaisseur de peau, variant selon l'expression :

$$\delta = \sqrt{\frac{2}{2\pi F \mu_0 \gamma}}$$
  
avec : F fréquence du signal  
 $\mu_0 = 1,257 e^{-10} H/M$ , perméabilité du vide  
 $\gamma =$ conductivité (Cu : 58 10<sup>6</sup> S/m)

•	1GHz, la profondeur de peau est de	2.1 μm
•	10 GHz.	0.6 um.

10 GHz, 0.6 μm,
100 GHz, 0.21 μm.

Pour une interconnexion submicronique, la section efficace du courant coïncide (dans une certaine bande de fréquences) avec la section du conducteur. Par contre, au niveau des leads des boîtiers, l'effet de peau créé une augmentation de la résistance de ligne pour des fréquences de l'ordre du GHz.

## 4.2 Approximation quasi-TEM et modèle localisé

Soit à modéliser une ligne longue dont une section est présentée Figure 22, correspondant à une ligne de type circuit imprimé ou multi-chip-module (strip line).



Fig 22 : Dessin en coupe de deux lignes type micro-ruban (micro-cartes et/ou MCM, PCB)

A priori vu la topologie des lignes, les capacités parasites inter lignes mises en jeu sont moins importantes que pour une ligne de type circuit intégré décrit ci-dessus.

En outre, les connexions entre ces composants sont relativement distantes les unes des autres (la longueur de connexion  $\ell$  = plusieurs centimètres).

Il faut donc tenir compte du retard de propagation dans la ligne qui n'est plus négligeable (de l'ordre de 100 *ps/cm*). La vitesse de propagation étant celle de la lumière divisé par la racine carrée de la permittivité moyenne du milieu traversé.

Pour le calcul du courant et de la tension en tout point de la ligne, on prend comme hypothèse *l'approximation quasi-TEM*.

Cela revient à négliger les variations de phase  $\Delta \phi$  sur la ligne, ce qui peut s'écrire:

$$\Delta \phi = \frac{2\pi\ell}{\lambda} << \frac{\pi}{2}.$$

Le critère d'application de l'approximation quasi-TEM pour la longueur physique  $\ell$  de la ligne est alors :

$$\ell << \frac{\lambda}{4}$$

avec :

$$\lambda = \frac{v}{f}$$

où :

- v est la vitesse de propagation dans le milieu homogène considéré.

f est la fréquence de travail.

En général, on prend comme condition suffisante :

$$\ell < \frac{\lambda}{10} \qquad (*)$$

Les signaux véhiculés par nos interconnexions (qui se comportent comme des lignes de transmission) sont des signaux logiques avec des temps de commutation très courts (de l'ordre de la nano-seconde, ou du dixième de nano-seconde).

Pour une perméabilité relative  $\mu_r$  quasi unitaire (pour un conducteur métallique cuivre (Cu),  $\mu_r$ =0.99), et une permittivité relative  $\varepsilon_r$  pouvant aller de 2.3 à 8.1 suivant la nature du substrat pour les PCB, la longueur d'onde est comprise entre :

$$\lambda = \lambda_0 \frac{1}{\sqrt{\varepsilon_r}} = \frac{c}{f} \frac{1}{\sqrt{\varepsilon_r}} \in [1.3, ..., 13.8] \ cm$$

où :

-  $\lambda_0$  = longueur d'onde dans le vide (m);

- c = vitesse de la lumière en espace libre, c  $\cong 3.10^8$  (m/s).

Le plus souvent, les longueurs  $\ell$  de lignes PCB sont comprises dans cette plage de valeurs.

La condition (\*) n'est donc plus valable.

On prend donc comme modèle de lignes le modèle localisé qui divise la ligne en tronçons élémentaires  $d\ell$  suffisamment courts pour appliquer la condition de propagation d'ondes quasi-TEM (Figure 23).



Fig 23 : Modèle localisé pour un tronçon de ligne de longueur dz, modèle de couplage R, L, C.

#### 4.3 Différents modèles de couplage :



inductif et résistif



#### <u>Remarque :</u>

Dans tous les calculs d'éléments parasites ([C] et [L]) nous avons considéré que le substrat se comportait comme un plan de masse à sa surface (bien qu'étant éloignée de la couche d'épitaxie qui elle est uniformément polarisée à la masse).

En haute fréquence, le substrat devient de moins en moins bon conducteur, il s'en suit une moins bonne polarisation en surface. Cette variation du « niveau de masse effectif », peut être traduit par une résistance de polarisation du substrat.

A noter qu'afin d'éviter ce genre de phénomène, on prendra soin dans le design, *d'ajouter des anneaux de garde polarisés à la masse* (Figure 25).



Fig 25 : Visualisation au microscope électronique des contacts de polarisation substrat.



Fig 26 : Evolution du bruit induit le long de la ligne PCB (near-end, far-end crosstalk).

En ce qui concerne l'évolution de l'amplitude du bruit induit le long de la ligne, on remarque que l'amplitude de l'onde induite peut très bien ne plus être constante le long de la ligne.

# Cette amplitude n'est plus constante le long de la ligne de transmission, on parlera de crosstalk (diaphonie) near-end (début de ligne) et far-end (fin de ligne).

Il existe donc une onde réfléchie de long de l'interconnexion, d'où la nécessité d'adapter en impédance la ligne considérée, par une impédance terminale Z selon l'expression approchée :

$$Z = \sqrt{\frac{L}{C}}$$

On démontre donc l'existence d'une impédance caractéristique de ligne, notée  $Z_0$ , *fonction de la permittivité électrique et de la fréquence*.

En général on aura Z0 variant de 70 à 130  $\Omega$ .

## 5 Valeurs d'éléments parasites

#### 5.1 Capacités Circuit Intégré Niveau Métal1, technologie 0,7µm :

On modélise la coupe technologique présentée Figure 35, comportant 3 lignes type Métal1, flottant au dessus d'un substrat uniformément polarisé à la masse.



Fig 27 : Représentation d'un maillage, un conducteur sur un plan de masse.

Le résultat donné par un solveur est donné ici à titre d'exemple :

Matrice	[C] généralisée: (F/m)		
	C <sub>11</sub> =1.748653e-10	C <sub>12</sub> =-5.597934e-11	C <sub>13</sub> =-3.158757e-12
	C <sub>21</sub> =-5.597934e-11	C <sub>22</sub> =1.994491e-10	C <sub>23</sub> =-5.597934e-11
	C <sub>31</sub> =-3.158757e-12	C <sub>32</sub> =-5.625531e-11	C <sub>33</sub> =1.748653e-10
Matrice	[L] : (H/ m)		
	L <sub>11</sub> =2.662988e-07	L <sub>12</sub> =8.145892e-08	L <sub>13</sub> =3.276683e-08
	L <sub>21</sub> =8.145892e-08	L <sub>22</sub> =2.575183e-07	L <sub>23</sub> =8.168369e-08
	L <sub>31</sub> =3.276683e-08	L <sub>32</sub> =8.168369e-08	L <sub>33</sub> =2.662055e-07

<u>Remarque :</u>

- Il ne faut pas être surpris de voir apparaître des valeurs négatives dans les coefficients capacitifs, cela provient du type d'algorithme de calcul utilisé. Dans ce cas on parle de résolution par matrice généralisée.
- La valeur de la capacité, de la piste 2 vers le plan de masse ( qui en fait est le rectangle de métal2), est donnée par la relation :
   C2s = C22 + C12 + C21

D'où C2s= 1.994491e-10 -5.597934e-11-5.597934e-11= 87.49042 e-12



Questions :

Comparer C11 et C22 capacités linéiques vers la masse du conducteur 1 et 2 qui sont du même type. Comparer C12 et C23

Comparer C12 et C13.

Les résultats sont-ils cohérents ?...

5.2 Enoncé de règles pour le routage des interconnexions.

A partir des simulations conduites, un certain nombre de remarques permettant d'appréhender le problème de bruit induit, peuvent être dégagées :

• A longueur équivalente de couplage, les niveaux supérieurs d'interconnexion sont plus sensibles que les niveaux inférieurs.

• Le phénomène de couplage décroît très vite avec l'espacement des conducteurs.

€ Le masquage d'une ligne sensible par une autre ligne de même type influence le bruit induit. L'efficacité est maximale si cette ligne joue le rôle de blindage, ou si sa résistance de rappel tend vers zéro. A l'inverse, si la ligne jouant le rôle d'écran est en état haute impédance, alors le couplage sera plus important, d'où l'intérêt de ne pas mettre de lignes sensibles proches de lignes en haute impédance.

## 6 Interfaces d'entrée et de sortie entre le circuit intégré et son boîtier d'encapsulation.

## 6.1 Modèle IBIS



## « I/O Buffer Information Specification »

Il permet une description comportementale rapide et précise des I/O d'un circuit intégré, en offrant une modélisation quasi automatique et basée sur la mesure eds courbes I(V) des buffers d'entrée sortie.

A la base c'est INTEL qui a lancé ce standard, qui est aujourd'hui repris par le IBIS forum constitué par les distributeurs d'Electronics Design Automation, les fabricants d'ordinateurs, et les fabricants de composants.

## 6.2 Les versions IBIS successives:

- V1.0 Sortie en Avril 1993
- V1.1 Sortie en Juin 1993, Dallas.
- V2.0 Homologué en Juin 1994, San Diego
- V2.1 Sortie en Décembre 1994
  - Homologué par ANSI/EIA-656 en Décembre 1995
- V3.0 Homologuée en Juin 1997 par IEC 62014-1 Sep 1997
- V3.1 Homologuée en Juin 1998

Sites actuels : <u>http://www.eia.org/eig/ibis.htm</u> <u>http://www.hyperlynx.com</u>

- 6.3 Avantages du modèle IBIS
  - <u>Protection des Informations confidentielles (Process, Design, etc ...)</u>
  - Modèle précis tenant compte:

     de la non-linéarité des entrées/sorties
     des parasites dus au boîtier
  - Rapidité de simulation par rapport aux méthodes structurelles
  - Modèles gratuitement fournis par les fabricants de composants
  - Compatible avec la majorité des plates-formes de simulation industrielles

#### 6.4 Modèle IBIS du buffer d'entrée



6.5 Modèle IBIS du buffer de sortie



#### 6.6 Génération d'un modèle IBIS



Fig 28 : Synoptique de génération d'un modèle IBIS.

#### 6.7 Passerelle de SPICE à IBIS

Supports HSPICE, PSPICE, SPICE3, Spectre

Création d'un fichier header par directive s2ibis2 Définition des parasites dus au boîtier et description des broches Spécification du fichier netlist (nom\_de\_fichier.sp) Les numéros de nœuds Spice sont spécifiés par broches Définition du type de modèles (Input, 3-state, I/O etc) Attachement de tous les fichiers décrivant le process (Typ, Min and Max) Exécution de s2ibis2 ( % s2ibis2 filename.s2i )

# 7 Boîtiers d'encapsulation : Caractérisation de la Fluctuation d'alimentation (ground bounce)

La fluctuation d'alimentation (VDD et VSS) est directement liée à l'appel de courant lors de la commutation (pour une technologie CMOS par exemple). Pour modéliser ce phénomène, il faut en fait s'intéresser de plus près au modèle du boîtier dans lequel est placé le circuit intégré.

## 7.1 Familles de boîtiers , modélisation du bonding :



Fig 29 : Quelques boîtiers d'encapsulation.



Fig 30 : Représentation au microscope électronique d'un bonding.

Différents types de boîtiers sont disponibles jusqu'au montage puce nue sur substrat (Figure 29).

La connexion du plot de la puce avec le boîtier s'effectue par l'intermédiaire d'un fil d'or appelé "bonding" (Figure 30). Le bonding est relié du côté du boîtier, à une interconnexion métallique appelée lead.

On modélisera le bonding par une inductance L que l'on calculera :

- à partir des données constructeur donnant l'inductance linéique (H/m)du bonding utilisé,
- en appliquant soit la formule de l'inductance d'un fil sur un plan de masse :



Fig 31 : Inductance d'un conducteur cylindrique sur un plan de masse.

 $\mu_0$  = 1.257  $10^{-6}$  H/m et  $\mu_r$  = 1 (utilisable pour l'Air, Cu, Al, Si, SiO\_2, Si\_3N\_4) d = diamètre du fil

h = distance du fil par rapport au plan de masse.

Les capacités Ci et Cij, les inductances Li et Lij et les résistances Ri, des leads seront soit données par le fabricant, ou calculées par formulations analytiques ou méthode numérique (éléments finis, méthode des moments) (cf. Chapitre 4).

Question :

Donner le schéma équivalent pour, par exemple 3 broches, depuis le PCB, vers le circuit intégré.

#### <u>Remarque :</u>

Il est important de noter que les différentes familles de boîtiers présenteront des valeurs [C] et [L] très différentes selon le type de technologie utilisé. *Il faudra donc s'assurer de la compatibilité du boîtier choisi pour le type d'application requis.* 

Par exemple un DIL16 (forts couplages parasites), pourra ne pas être un bon choix pour l'encapsulation d'un circuit intégré d'une application haute fréquence.

- 7.2 Influence de la prise en compte du boîtier d'encapsulation pour une simulation du circuit intégré.
- 7.2.1 Modélisation de niveau 0

Le système que l'on se propose d'étudier est celui d'un inverseur, technologie 0.8µm, couplé à une ligne (Figure 54), modélisée comme une ligne de transmission capacitive.



Fig 32 : Représentation schématique du système étudié (modélisation niveau 0).

On observe les chronogrammes suivants avec pour assignation des points d'observation :

- *in\_inv* : *entrée de l'inverseur CMOS (visualisation du pulse tr et tf 1Ns).* 
  - *out\_inv* : *sortie de l'inverseur CMOS*.
  - *out\_victim : bruit induit par diaphonie sur la ligne victime par commutation.*
  - *Alim* : *alimentation 5Volts.*



Fig 33 : Simulation avec modélisation niveau 0.



#### Appelons v\_current le courant consommé sur l'alimentation VDD (I<sub>DDQ</sub>) (Figure 56)



Fig 34 : Simulation avec modélisation niveau 0, observation du courant sur une période.

Question :

Ce résultat de simulation (Figure 34) est-il acceptable ?... Donner deux anomalies. Expliquer le fonctionnement. Pourquoi obtient – on cela ? Donner une provenance.

La simulation prend en compte un modèle idéal de transistor; où il y a conduction simultanée entre les 2 transistors PMOS et NMOS, d'où un court-circuit entre le VDD et la masse. Ceci explique le pourquoi de la consommation lors de la transition état haut -> état bas.

Prenons à présent, comme modèle transistor le modèle BSIM2, on obtient les résultats suivants (Figure 35) :



Fig 35 : Simulation avec modélisation niveau 0, observation du courant sur une période (transistor BSIM2).



#### 7.2.2 Modélisation de niveau 1

L'alimentation 5V n'est considérée comme étant interne au circuit intégré, la prise en compte du modèle du boîtier est présenté Figure 59 :



Fig 36 : Représentation schématique du système étudié (modélisation niveau 1).



Sur une période signal on observe les chronogrammes (Figure 37) :



Question :

Commenter ces résultats.

Quelles précautions prendre pour réduire cet effet parasite de fluctuation d'alimentation ?

#### 7.3 Diminution de l'influence du boîtier d'encapsulation.

On se propose de diminuer artificiellement de 100% (donc directement dans les paramètres de la simulation) la valeur de l'inductance parasite du boîtier (Figure 38).







7.4 Application pour réduire la fluctuation de l'alimentation VDD : assignation de 4 plots d'alimentation.



Fig 39 : Représentation schématique du système étudié (modélisation niveau 1), assignation de 4 plots.

On observe les chronogrammes (Figure 63) :



Fig 40 : Simulation avec modélisation niveau 1, observation de la fluctuation d'alimentation sur une période, 4 plots d'alimentation.



Question : En déduire une règle de conception. Comment procéder en pratique pour déterminer le nombre de plots dédiés aux alimentations.

## 7.5 Solutions pour diminuer le bruit sur l'alimentation

## • Réduire la consommation de courant :

La limitation du courant dans les branches du buffer permet de réduire l'amplitude de tous les pics de fréquence. Cette méthode présente cependant certains inconvénients: réduire la consommation du buffer entraîne une limitation des performances.

La réduction de la consommation passe par l'étude de deux phénomènes:

## • Le courant de charge de la capacité:

Il faut essayer de diminuer celui-ci autant que possible, tout en faisant attention à respecter les spécifications du temps de montée du signal dans les pires conditions de fonctionnement (température maximum, performances du process minimum). Cela revient à redimensionner la taille des inverseurs dans le buffer afin de les optimiser en fonction de la charge. Pour cela il est possible de réduire la taille des inverseurs de sortie (longueur du canal plus importante)

## • La conduction simultanée des transistors P et N:

Ce phénomène devient important si le temps de montée du signal est grand. Le redimensionnement du buffer doit donc être accompagné d'une structure permettant de s'affranchir de ces problèmes.

Une solution consiste à séparer la commande des MOS P et des MOS N au niveau des inverseurs de sortie (les plus bruyants) (Figure 78).

Cette solution est peu encombrante et efficace :





## • Différer la consommation du courant dans le temps.

Si plusieurs signaux commutent en même temps, la consommation de courant transitoire va être forte en amplitude et brève, donc riche en harmoniques. On pourrait donc envisager de différer certains signaux afin de produire des pics de courant plus nombreux mais plus faibles. Dans le cas du buffer d'horloge, il faudrait donc plusieurs lignes d'horloge retardées (Figure 42) :





#### • Réduire le temps de montée du courant

Plus le pic de courant est bref et élevé, plus l'amplitude des harmoniques sera grande. On pourrait donc envisager un système qui réduise la vitesse de transmission des inverseurs.

Cela revient à sous-dimensionner le buffer par rapport à sa charge, tout en respectant les contraintes des spécifications. On peut également utiliser des inverseurs de sortie lents (en augmentant la longueur du canal des deux transistors).

#### • Intégration de capacités de découplage à l'intérieur de la puce

Ces capacités ont pour rôle de réduire la boucle formée par l'alimentation et le circuit. Cette boucle est souvent la cause d'instabilité du système. Ces capacités 'on-board' que l'on peut relativement insérer sur toutes les surfaces non utilisées (sous les lignes de routage par exemple, ou au travers de MOS) agissent comme des batteries:

Cette solution limite effectivement le bruit conduit sur l'alimentation, en revanche elle n'a aucun effet sur le bruit émis par le circuit: la capacité ne limite pas les pics de courant à l'intérieur du circuit.



Fig 43 : Implantation de capacités de découplage.

La capacité  $C_D$  jouant le rôle d'une batterie et la résistance  $R_S$  permet de limiter la pente du courant selon la constante de temps  $R_S * C_D$ .

La résistance parasite  $R_D$  dégrade les performances de ce système, pour cela on cherchera à la diminuer au maximum.

La résistance  $R_S$  permet de limiter le courant de charge de la capacité  $C_D$ . En contrepartie elle induit une légère chute de tension sur le niveau haut logique.

Elle doit être calculée avec précaution, afin de ne pas trop dégrader le signal.  $R_s$  et  $C_D$  peuvent être déterminées grâce aux équations suivantes :

$$\frac{Vdd \times Req}{Req + R_S} \approx Vperte$$

$$Req = \frac{1}{(C_L \times Frequency)}$$

$$C_D > 10 \times C_L$$

La simulation suivante est la comparaison entre les résultats du buffer actuel d'horloge du micro-contrôleur avec un capacité de découplage de 200fF et sans.

On remarque effectivement la chute de tension sur le niveau haut, alors que le courant est très fortement distribué sur toute la période de fonctionnement du circuit. Le temps de montée du signal est le même dans les deux cas.



Fig 44 : Comparaison du courant consommé avec ou sans capacités de découplage interne au circuit.

La réduction de bruit obtenue lors de l'analyse fréquentielle est très importante, de l'ordre de 5dB sur le fondamental et jusqu'à 30dB dans les hautes fréquences (jusqu'à 1 GHz). La capacité de découplage est donc un des éléments les plus efficaces pour réduire le bruit conduit. Remarque :

Attention cependant aux problèmes de décharge électro-statique: la capacité peut éventuellement claquer si la tension à ses bornes est trop grande.

## 8 Mesures

Même si actuellement il n'existe formellement aucune directive Européenne au niveau du composant, les fabricants de circuits intégrés sont contraints par les équipementiers d'assurer par la mesure un niveau minimum de bruit.

Le résultat de mesure CEM étant très fortement conditionné par les conditions de mesure certains organismes essaient d'uniformiser (en vue de normaliser, cf. Chapitre 10) certaines techniques de mesure.

Nous citerons pour information, l'Institut Européen de Recherche sur les Systèmes Electroniques pour les Transports (*IERSET*) de Toulouse qui a vu le jour, en partenariat avec AEROSPATIALE, ALCATEL, MOTOROLA et SIEMENS et l'INSA

Quelques techniques de mesure sont présentées ci-après, et concernent d'une part l'évaluation de la susceptibilité d'un composant soumis à une agression électromagnétique et d'autre part la mesure des perturbations émises par un composant.







#### 8.1 Synthèse des méthodes de mesure

METHODES	FREQUENCE 10k 1M 400M 1G 18G 	MISE EN ŒUVRE	NATURE DE L'INFORMATION	COUT(F) *
Injection par pince		Pinces Platine de couplage	Locale (broche à broche) par injection sur un fil de 50 cm	10 kF par pinces
Couplage Capacitif		Un coupleur par broche Circuit imprimé avec connectique 50Ω	Locale par couplage sur une broche	7 kF par coupleur
Boucle en TEM		Circuit imprimé au format TEM avec filtres passe-parois	Locale par induction sur une boucle de 2 cm x 8 cm	20 kF pour la TEM
WBFC (WorkBench Farady Cage)		petite cage de faraday filtre et coupleur	Locale	

COMPARAISON DES METHODES EN SUSCEPTIBILITE

METHODES	FREQUENCE 10k IM 400M 1G 18G 	MISE EN OEUVRE	NATURE DE L'INFORMATION	COUT(F)
TEM		Circuit imprimé au format TEM	Globale rayonnée proche	20 kF pour la TEM
Boucle magnétique		Circuit imprimé identique TEM	Globale rayonnée proche	10 kF pour la sonde
Mesure de perturbations conduites		circuit imprimé avec coupleurs $150 \Omega$ et $1 \Omega$ intégrés	Locale conduite différentielle	
WBFC (WorkBench Farady Cage)		petite cage de faraday filtre et coupleur	Locale conduite de mode commun	
Mini pince		circuit imprimé avec cavalier	Locale conduite	20 kF pour la mni pince

COMPARAISON DES METHODES EN EMISSION

#### 9 Normes, marquage CE

Tout système électronique grand public, doit satisfaire à la norme 89/336. En fait il s'agit d'un ensemble de normes dont une copie du journal officiel est donnée en annexe.

Quelques grands organismes européens de normalisation sont :

- CENELEC : Comité Européen de Normalisation Electrotechnique,
- CEN, Comité Européen de Normalisation,
- DRIRE,
- ETSI, Institut Européen de normalisation des Télécommunications

Un constructeur peut donc faire appel à ces différents organismes et laboratoires de mesure associés afin de vérifier la conformité de son appareil avec les normes concernées.

Il peut aussi, effectuer lui même les tests de validation et s'auto-proclamer conforme avec les normes. Il s'expose dans ce cas à un contrôle de la part des organismes d'état. Un produit conforme avec la norme, se verra apposé le marquage CE (Figure 59)



Fig 59 : Marquage CE.

## **<u>10</u>BIBLIOGRAPHIE**

Exemples d'ouvrages :

"Arcadia", Epic Design Technology, modélisation des résistances et capacités parasites à partir d'un dessin physique d'un circuit intégré, Décembre 1995.

B COURTOIS, "CAD and Testing of ICs and systems. Where are we going?", Updated version September 1994, INP Grenoble.

Electronique International Hebdo, 20 Avril 1995, N° 178. Electronique International Hebdo, 13 Aôut 1995, N° 191. Electronique International, p25, 9 Novembre 1995, N° 200. Electronique International, p25, 9 Novembre 1995, N° 200.

H.B BAKOGLU, "Circuits, Interconnexions and Packaging for VLSI", Addison-Wesley, 1990.

Brian C. WADELL, "Transmission Line Design Handbook", Artech House, Inc. 1991, p446.

Georges COMTE, "Lignes de télécommunications", Manuel E7 320, Ecole Supérieure d'Electricité de Lyon.

Ghouri DHATT and Gilbert TOUZOT, Une présentation de la méthode des éléments finis (1989).

D. ESTEVE, "Les Micro sytèmes", rapport annuel , LAAS CNRS Toulouse, 1995.

DP SERAPHIN, R LASKY, CY LI, "Principles of Electronic Packaging", Mc Graw-Hill, 1989.

#### Exemples de publications scientifiques :

TH. CHEN, "Evaluation of line loss under load unbalance using the complex unbalance factor", IEE Proc Transm. Distrib., vol 142, No 2, pp 173-178 March 1995.

R.P. Clayton and A.E. Feather, Computation of the Transmission Line Inductance and Capacitance Matrices from the Generalized Capacitance Matrix, IEEE Transactions on Electromagnetic Compatibility, Vol EMC 18, n°4, November 1976.

Clayton R. PAUL, "Adequacy of low-frequency crosstalk prediction models", IEEE 1982.

G.I. COSTACHE and R.L.KHAN : Finite Element Method Applied to Modeling Crosstalk Problems on Printed Circuit Boards, IEEE Transactions on Electromagnetic Compatibility Vol 31,n°1, February 1989.

J.Y FOURNIOLS, E. SICARD, "Analytical crosstalk analysis in micro-electronic systems", IEEE Transactions on EMC.

G. COSTACHE, R. LAWRENCE, "Finite Element Method Applied to Modeling Crosstalk Problems on Printed Circuit Boards", IEEE Transactions on EMC, Vol 31, No1, Feb 1989.

A. LIAUD, J.Y FOURNIOLS, E. SICARD; "On crosstalk fault detection in Hierarchical VLSI circuits", IEEE Asian Test Symposium, JAPAN NARA, November 1994.

RC FRYE, "Physical scaling and Interconnection delays in Multi-Chip Modules", IEEE Transactions on Components, Packaging and Manufacturing technology Part B: Advanced Packaging, vol 17, N°1, February 1994.

A RUBIO, N ITAZAKI, K KINOSHITA, "An approach to the analysis and detection of crosstalk faults in digital VLSI Circuits", IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol 13, N°3, March 1994.

HT YAN, YT LIN, SY CHIANG, "Properties of interconnection on Silicon, Sapphire, and semi insulating gallium arsenide substrates", IEEE Journal of Solid State Circuits, vol 17, N°2, April 1982.

#### **11 GLOSSAIRE**

#### ASIC

Application Specific Integrated Circuit.

#### BONDING

Interconnexion par fil d'or permettant de relier le circuit intégré à son support (boîtier d'encapsulation ou multi-chip module).

#### CAO

Conception Assistée par Ordinateur.

#### CEM

Compatibilité Electro-Magnétique.

#### CMOS

Complementary Métal Oxyde Semiconducteur.

#### DESIGN

Dessin de circuit intégré.

#### EMC

ElectroMagnetic Compatibility. CEM en français.

#### FEM

Finite Element Method. (Méthode des Eléments Finis)

#### IC

Integrated Circuit. Circuit intégré.

#### LAYOUT

Fichier descriptif d'un circuit micro-électronique décrivant les différentes couches d'un circuit intégré.

#### LAYER

Couche technologique du process de fabrication.

#### MCM

Multi-Chip Modules. Modules multi puces.

#### MOM

Method of Moments (Méthode des Moments).

#### NETLIST

Fichier décrivant la topologie électrique d'un circuit.

#### PACKAGE

Boîtier permettant l'encapsulation des circuits intégrés.

#### PCB

Printed Circuit Board. Carte de circuit imprimé.

#### PUL

Per Unit Length. Unité des paramètres primaires d'une ligne de transmission en modèle localisé exprimée par unité de longueur.

#### SOG

Sea-of-Gates (Technologie Mer de portes).

#### TEM

Transverse Equivalent Mode : fréquences de fonctionnement pour lesquelles la composante longitudinale des champs électrique E et magnétique H sont négligeables. Le mode de propagation de l'onde le long de l'interconnexion est quasi-transverse, (approximation T.E.M).

ULSI

Ultra Large Scale Integration. Technologie de conception des puces micro-électroniques dont la densité d'intégration dépasse 10<sup>6</sup> transistors par puce.

# Extrait du Journal Officiel <u>Norme 89/336/CEE</u>